

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-117011

(43)Date of publication of application : 17.04.1992

(51)Int.Cl.

H03G 3/20

H03G 3/30

(21)Application number : 02-232113

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 31.08.1990

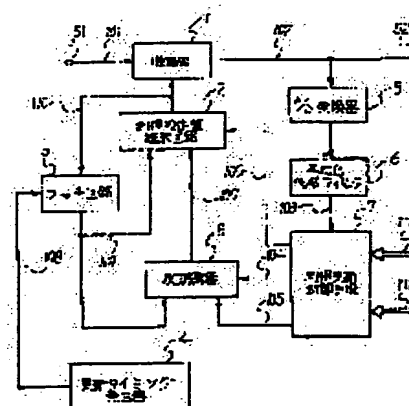
(72)Inventor : MOMOSE ATSUSHI

(54) GAIN CONTROLLER

(57)Abstract:

PURPOSE: To improve the setting accuracy of the gain setting value with respect to an amplifier included in the controller and to improve the convergence speed of gain setting by providing a gain revision control means to the controller.

CONSTITUTION: A gain revision control means 7 receives plural kinds of mean amplitude reference values 111 and plural kinds of gain revision constants 112 corresponding to the input a mean amplitude 103 outputted from an averaging low pass filter 6 and outputs a gain revision signal 106 commanding the propriety of revision, and outputs a gain revision constant 105 to revise the gain setting value and a revision code signal 104 commanding the addition/subtraction of the gain revision constant to an adder/subtractor 8. Thus, the gain setting value is revised quickly and the gain setting accuracy is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平4-117011

⑬ Int. Cl.⁵H 03 G 3/20
3/30

識別記号

A
B

庁内整理番号

7239-5J
7239-5J

⑭ 公開 平成4年(1992)4月17日

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 利得制御装置

⑯ 特 願 平2-232113

⑰ 出 願 平2(1990)8月31日

⑱ 発 明 者 百 瀬

篤

神奈川県川崎市中原区小杉町1丁目403番53 日本電気アイシーマイコンシステム株式会社内

⑲ 出 願 人 日本電気アイシーマイ
コンシステム株式会社

神奈川県川崎市中原区小杉町1丁目403番53

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

利得制御装置

特許請求の範囲

1. デジタル信号処理により、アナログ入力信号のレベルを所定レベルに保持して出力する利得制御装置において、

前記アナログ入力信号を利得設定値に応じて増幅する増幅器と、

前記増幅器のアナログ出力信号をデジタル信号に変換するA/D変換器と、

前記A/D変換器から出力されるデジタル信号のレベルを平均化して、その平均振幅値を出力する平均化低域フィルタと、

前記平均振幅値と予め定められている複数の平均振幅基準値との大小比較を介して、前記複数の平均振幅基準値の内、どの平均振幅基準値が最も前記平均振幅値に近いかを判別し、この判別情報

に準拠して、予め定められている複数の利得更新定数の内より一つの利得更新定数を選択して出力するとともに、前記増幅器の利得更新の可否を指示する利得更新信号と、利得更新時に対応して前記増幅器の利得のアップ/ダウンの何れかを指示する更新符合信号と、を出力する利得更新制御手段と、

前記更新符合信号を介して、前記増幅器の現行の利得設定値と前記利得更新定数との加減算を行い、新規の利得設定値を生成して出力する加減算器と、

前記更新符合信号に制御されて、前記新規の利得設定値と前記現行の利得設定値との何れか一方を選択して出力する利得設定値選択回路と、を備えることを特徴とする利得制御装置。

2. 前記利得更新制御手段が、前記平均振幅値と予め定められている複数の平均振幅基準値との大小比較を介して、前記複数の平均振幅基準値の内、どの平均振幅基準値が最も前記平均振幅値に近いかを判別し、この判別情報に準拠して、予め

定められている複数の利得更新定数の選択を指示する定数選択信号と、前記増幅器の利得更新の可否を指示する利得更新信号と、利得更新時に対応して前記増幅器の利得のアップ・ダウンの何れかを指示する更新符合信号と、を出力する平均振幅比較回路と、

前記定数選択信号の制御作用を介して、予め定められている前記複数の利得更新定数の内より一つの利得更新定数を選択して出力する更新定数選択回路と、

を備えることを特徴とする請求項1記載の利得制御装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は利得制御装置に関し、特にデジタル信号処理を用いる利得制御装置に関する。

〔従来の技術〕

従来のデジタル信号処理による利得制御装置の構成を第3図に示す。第3図において、端子

を更新することができる値よりも小さい場合には、装置全体としての更新精度以下の状態にあるため、利得更新信号130はインアクティブな信号として出力され、利得の更新は行われない。

同様に、平均振幅基準値135の方が平均振幅値127とが比較され、平均振幅値127の方が平均振幅基準値135よりも大きい場合には、先ず、更新符合信号128が、利得をダウンするように指示するインアクティブな信号として出力され、更に、平均振幅値127と平均振幅基準値135との差異が、利得更新定数129により更新できる値よりも大きい場合には、利得更新信号130はアクティブな信号として出力されて、利得の更新が行われる。また、平均振幅値127と平均振幅基準値135との差異が、利得更新定数129により更新できる値よりも小さい場合には、装置全体としての更新精度以下の状態にあるため、利得更新信号130はインアクティブな信号として出力され、利得の更新は行われない。なお、上記の更新符合信号128は加減算器25に送られ、利得更新信号130は利得

125から入力されるアナログ入力信号は、増幅器18において増幅され、アナログ出力信号126として出力される。アナログ出力信号126は、端子56から外部に出力されるとともに、A/D変換器22においてA/D変換され、デジタル値として平均化低域フィルタ23に入力されて振幅レベルが平均化される。

平均化低域フィルタ23から出力される平均振幅値127は、平均振幅比較器24において、予め定められている平均振幅基準値135と比較され、平均振幅基準値135の方が平均振幅値127よりも大きい場合には、先ず更新符合信号128が、利得をアップするように指示するアクティブな信号として出力され、更に、平均振幅基準値135と平均振幅値127との差異が、利得更新定数129により、平均振幅値127を更新することができる値よりも大きい場合には、利得更新信号130がアクティブな信号として出力されて利得の更新が行われる。また、平均振幅基準値135と平均振幅値127との差異が、利得更新定数129により、平均振幅値127

設定値選択回路19に送られる。

加減算器25においては、更新符合信号128のアクティブ/インアクティブの何れかに対応して、1回の利得設定により設定される利得更新幅を規定する利得更新定数129とラッチ回路20より送られてくる更新前の現行利得設定値133との加減算が行われるが、アクティブの場合には加算が行われ、インアクティブの場合には、減算が行われる。

加減算器25の演算出力131（更新される利得設定値）は、利得設定値選択回路19に送られるが、利得設定値選択回路19には、ラッチ回路20から更新前の現行利得設定値133も入力されており、平均振幅比較器24から送られてくる利得更新信号130がアクティブである場合には、演算出力131が選択され、また、インアクティブである場合には、現行利得設定値133が選択されて、利得設定値134として出力され、増幅器18に入力されて、増幅器18の利得の更新が行われる。また、この利得設定値134は、更新タイミング発生器21から入

力される更新タイミング信号132に制御されて、ラッチ回路20にラッチされて保持される。勿論、利得更新信号130がアクティブである場合には利得設定値134は更新されるが、インアクティブである場合には利得設定値134の更新は行われず、増幅器18の利得は現状のままに保持される。

第5図(a)に示されるのは、本従来例において、増幅器18の利得が更新されてゆく時間的経過を示す図であるが、縦軸は増幅器18の利得を示し、横軸は時間経過を示している。第6図(a)において、縦軸における y_n は増幅器18の利得設定値の初期値、 y_n は平均振幅基準値に対応する適正な利得設定値、 y_1 は利得更新定数、 y_n ($n=1, 2, 3, \dots$)は更新時刻 x_n ($n=1, 2, 3, \dots$)における利得設定値を表わしている。

先ず、時刻 $\times 1$ (x_1)においては、平均振幅値と平均振幅基準値とを比較すると、平均振幅基準値の方が大きく、従って、利得更新定数 y_1 が加算されて利得設定値が更新されるが、更新後の時刻 $\times 2$ (x_2)においても、未だ平均振幅基準値に對

応する利得設定値の方が大きいため、更に、利得更新定数 y_1 が加算される。以下同様に平均振幅基準値の方が平均振幅値よりも大きいため、時刻 $\times 3$ (x_3)および時刻 $\times 4$ (x_4)においても更に利得更新定数が加算されてゆく。時刻 $\times 4$ (x_4)においては、未だ、平均振幅基準値に対応する利得設定値の方が平均振幅値に対応する利得設定値よりも大きい。両者の差異が前記利得更新定数 y_1 よりも小さいため、利得設定値の更新は行われぬ。

〔発明が解決しようとする課題〕

上述した従来の利得制御装置においては、利得設定値更新のために必要とされる利得更新定数が一種類の設定値に限定されているため、第5図(a)に示されるように、利得設定値の設定精度を向上させようとして、利得更新定数の数値をより小さい数値にすると、利得設定値の収束速度が低下し、また、第5図(b)に示されるように、この収束速度を早めるために利得更新定数の数値を大きくすると、当然のことながら、利得設定値の精

度が劣化するという欠点がある。

〔課題を解決するための手段〕

本発明の利得制御装置は、ディジタル信号処理により、アナログ入力信号のレベルを所定レベルに保持して出力する利得制御装置において、前記アナログ入力信号を利得設定値に応じて増幅する増幅器と、前記増幅器のアナログ出力信号をディジタル信号に変換するA/D変換器と、前記A/D変換器から出力されるディジタル信号のレベルを平均化して、その平均振幅値を出力する平均化低域フィルタと、前記平均振幅値と予め定められている複数の平均振幅基準値との大小比較を介して、前記複数の平均振幅基準値の内、どの平均振幅基準値が最も前記平均振幅値に近いかを判別し、この判別情報に準拠して、予め定められている複数の利得更新定数の内より一つの利得更新定数を選択して出力するとともに、前記増幅器の利得更新の可否を指示する利得更新信号と、利得更新時に対応して前記増幅器の利得のアップ/ダウンの何れかを指示する更新符合信号と、を出力す

る利得更新制御手段と、前記更新符合信号を介して、前記増幅器の現行の利得設定値と前記利得更新定数との加減算を行い、新規の利得設定値を生成して出力する加減算器と、前記更新符合信号に制御されて、前記新規の利得設定値と前記現行の利得設定値との何れか一方を選択して出力する利得選択回路と、を備えて構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。第1図は、本発明の第1の実施例のブロック図である。第1図に示されるように、本実施例は、増幅器1と、利得設定値選択回路2と、ラッチ回路3と、更新タイミング発生器4と、A/D変換器5と、平均化低域フィルタ6と、利得更新制御手段7と、加減算器8と、を備えて構成される。

第1図において、本発明の従来例との相違点は、平均化低域フィルタ6から出力される平均振幅値103の入力に対応して、複数種類の平均振幅基準値111と複数種類の利得更新定数112とを入

力して、利得設定値選択回路2に対しては、更新の可否を指示する利得更新信号106を出力し、加減算器8に対しては、利得設定値を更新するための利得更新定数105と、この利得更新定数の加減算を指示する更新符号信号104とを出力する利得更新制御手段7が、必須構成要件として設けられていることである。その他の、A/D変換器5、平均化低域フィルタ6、利得設定値選択回路2、ラッチ回路3、更新タイミング発生器4および加減算器8等の作用については、従来例の場合と同様である。

平均化低域フィルタ6から出力される平均振幅値103は、利得更新制御手段7において複数種類の平均振幅基準値111と比較照合され、その内の最も平均振幅値103に近い平均振幅基準値が判別される。次いで、この判別された平均振幅基準値と平均振幅値103との大小比較に対応して、更新符号信号104が出力されて、加減算器8に入力されることと、前記の検出された平均振幅基準値と平均振幅値103との差異に対応して、利得設定値

の更新の可否を指示する利得更新信号106が出力されて、利得設定値選択回路2に送られることは従来例の場合と同様である。

また、他方、利得更新制御手段7に対しては、上述の複数種類の平均振幅基準値111のそれぞれに対応する複数種類の利得更新定数112も入力されており、上記の最も平均振幅値103に近い平均振幅基準値に対応する利得更新定数105が選択されて出力され、加減算器8に入力される。

以下、従来例の場合と同様にして、利得設定値選択回路2において、加減算器8から入力される演算出力107と、ラッチ回路3から入力される更新前の現行利得設定値109の一方が選択されて、利得設定値110として増幅器1に入力され、増幅器1の増幅度は適正値に設定される。

利得設定値の更新を要する場合において、1回の更新による利得設定値が、未だ平均利得基準値よりも小さい場合には、その差異が最も少ない平均利得基準値に対応する利得更新定数が再度選択されて、利得設定値に対する加算処理が行われ、

増幅器1の利得が更に更新される。勿論、更新による利得設定値と平均利得基準値との差が、利得更新定数により更新される利得設定値よりも小さい場合には、更新は行われぬ。云うまでもなく、利得設定値が平均利得基準値よりも大きい場合においても、同様にして利得設定値の更新が行われる。

すなわち、本発明における必須要件として設けられている利得更新制御手段においては、入力される平均振幅値を参照して、複数種類の平均振幅基準値から、適正な平均振幅基準値ならびに対応する利得更新定数が選択され、これに対応する加減算器8に対する更新符号信号104および利得更新定数105が出力されるとともに、利得設定値選択回路2に対する利得更新信号106が出力されるという機能上の特徴を有している。

上記の利得更新制御手段7の作用により、利得設定値の更新が迅速に行われ、且つ、利得設定精度が改善されるという効果が得られる。

次に、より具体的な実施例として、第2の実施

例について説明する。第1図は、本発明の第2の実施例のブロック図である。第2図に示されるように、本実施例は、増幅器9と、利得設定値選択回路10と、ラッチ回路11と、更新タイミング発生器12と、A/D変換器13と、平均化低域フィルタ14と、平均振幅比較回路15と、更新定数選択回路16と、加減算器17と、を備えて構成される。

第2図において、本実施例における平均振幅比較回路15および更新定数選択回路16は、前述の第1の実施例において必須構成要件として規定されている利得更新制御手段7の一構成例を示している。その他の増幅器9、利得設定値選択回路10、ラッチ回路11、更新タイミング発生器12、A/D変換器13、平均化低域フィルタ14および加減算器17等の作用については、既に前述したとおりであり、その説明は省略し、平均振幅比較回路15と更新定数選択回路16の作用について説明する。

平均化低域フィルタ14から出力される平均振幅値115は、平均振幅比較回路15において複数種類の平均振幅基準値124a、124b、および124cと比較

照合されて、その内の最も平均振幅値115に近い平均振幅基準値が判別され、この判別情報は、定数選択信号116として更新定数選択回路16に送られる。また、第1の実施例の場合と同様に、利得設定値選択回路10に対しては利得更新信号119が、加減算器17に対しては更新符号信号が117がそれぞれ出力される。

更新定数選択回路16においては、別途入力される複数種類の利得更新定数125a、125bおよび125cの内より、定数選択信号116に制御されて、平均振幅比較回路15において判別された平均振幅基準値に対応する利得更新定数が選択され、利得更新定数118として加減算器17に送られる。

第4図に示されるのは、本実施例において、増幅器9の利得が更新されてゆく時間的経過を示す図で、第4図において、縦軸、横軸、 y_a 、 y_b 、 y_c および y_s 等の意味については、第5図(a)および(b)の場合と同じである。

今、第2図における利得更新定数125a、125bおよび125cを、それぞれ平均振幅基準値124a、125b、

および125cに対応して、それぞれ従来例の場合における利得定数 y_s の3倍、1倍および1/2倍の大きさを持つものとし、 $3y_s$ 、 y_s および $y_s/2$ とする。

第4図において、先ず、時刻 $\times 1(x_1)$ においては、平均振幅値と平均振幅基準値とを比較すると、平均振幅基準値の方が大きく、その差は3種類の平均振幅基準値の内の124aに最も近い。そこで、平均振幅基準値124aに対応する利得更新定数125aすなわち $3y_s$ が利得設定値 y_s に加算されて、利得設定値が更新される。しかしながら、更新後における時刻 $\times 2(x_2)$ においても、未だ平均振幅基準値の方が平均振幅値よりも大きい。この時点においては、平均振幅値の平均振幅基準値との差は、3種類の平均振幅基準値の内の124cに最も近いので、利得更新定数125cすなわち $y_s/2$ が更に加算される。次いで時刻 $\times 3(x_3)$ においては、未だ平均振幅基準値の方が平均振幅値よりも大きい。その差は利得更新定数 $y_s/2$ よりも小さい値となるため、利得設定値の更新は行われぬ。

第4図を参照して明かなように、本発明の適用により、利得設定値の収束速度が改善されるとともに、利得の設定精度も向上される。

(発明の効果)

以上、詳細に説明したように、本発明は、デジタル信号処理により信号レベルを一定に保持する利得制御装置に適用されて、前記利得制御装置に含まれる増幅器に対する利得設定値の設定精度を向上させるとともに、利得設定の収束速度を改善することができるという効果がある。

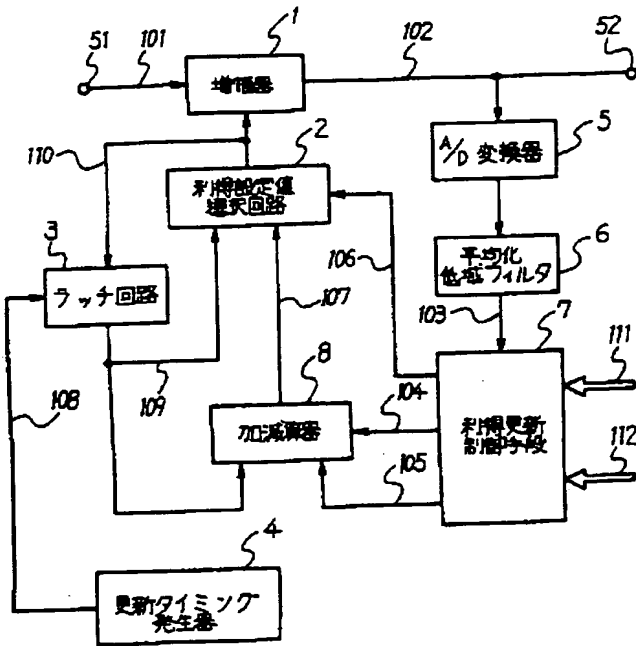
図面の簡単な説明

第1図および第2図は、本発明の第1および第2の実施例を示すブロック図、第3図は、従来例のブロック図、第4図および第5図(a)、(b)は、それぞれ前記第2の実施例ならびに従来例における利得設定値の収束状況を示す図である。

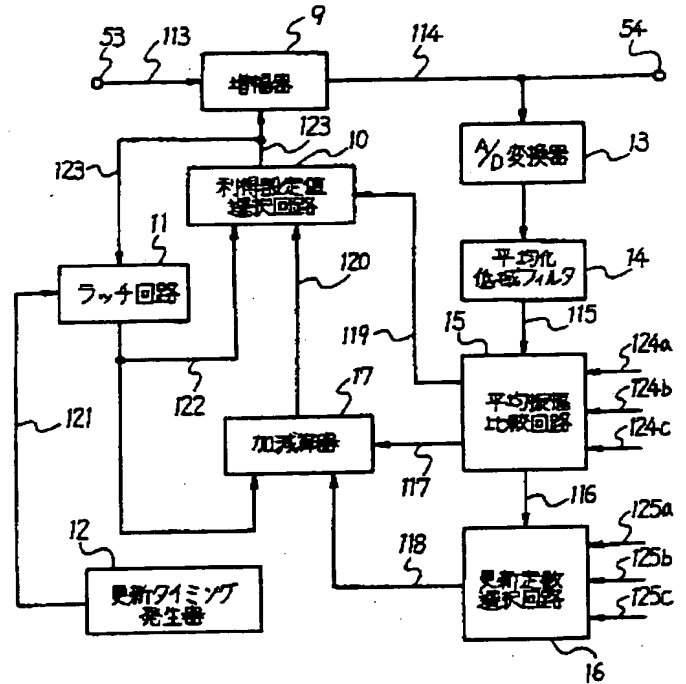
図において、1、9、18……増幅器、2、10、19……利得設定値選択回路、3、11、20……ラッチ回路、4、12、21……更新タイミング発生器、

5、13、22……A/D変換器、6、14、23……平均化低域フィルタ、7……利得更新制御手段、8、17、25……加減算器、15……平均振幅比較回路、16……更新定数選択回路、24……平均振幅比較器。

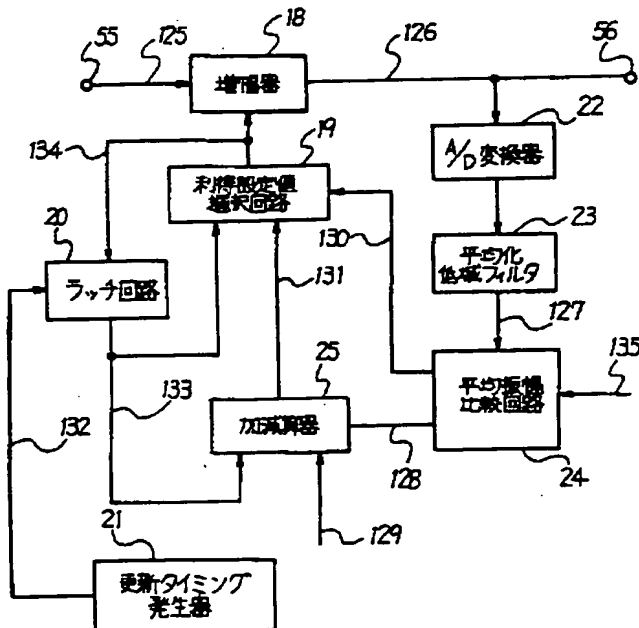
代理人 弁理士 内 原 晋



第 1 図



第 2 図



第 3 図

